

**SEMICONDUCTOR DEVICE**

Patent Number: JP2001068617  
Publication date: 2001-03-16  
Inventor(s): OKADA TAKASHI; TAGUCHI HIDEO  
Applicant(s): TOSHIBA CORP  
Requested Patent: ■ JP2001068617  
Application Number: JP19990240661 19990827  
Priority Number(s):  
IPC Classification: H01L25/065; H01L25/07; H01L25/18; H01L23/12; H01L23/52  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a semiconductor device containing a plurality of laminated semiconductor packages which operates at high speed without disturbing signal waveform of a channel part under the influence of reflection by a branch wiring even if a wiring between the branch wiring is in the vertical direction and become exceedingly short.

**SOLUTION:** A semiconductor device is provided with a plurality of laminated thin type semiconductor packages 1 and wirings that supply signals to the packages 1. The wiring is constituted by a main wiring 6 that connects electrically input/output terminals 7 in a lamination direction with a specified external connection terminal 21 of the package 1 in between, and a branch wiring 5 that is wired so as to connect electrically the specified external connection terminal 2 of the package 1 to another connection terminal 2 of the package 1 with a semiconductor element 3 in between. In the branch wiring 5, a wiring part from the specified external connection terminal of the semiconductor package to a connection electrode formed on the semiconductor element and a wiring part from the connection electrode to another external connection terminal are placed with length substantially equal to each other so as to prevent reflection due to impedance mismatch of the branch wiring part.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-68617  
(P2001-68617A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード* (参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z
25/07		23/12	L
25/18		23/52	C
23/12			
23/52			

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平11-240661

(22) 出願日 平成11年8月27日 (1999.8.27)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岡田 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 田口 英男

三重県四日市市山之一色町800 株式会社東芝四日市工場内

(74) 代理人 100097629

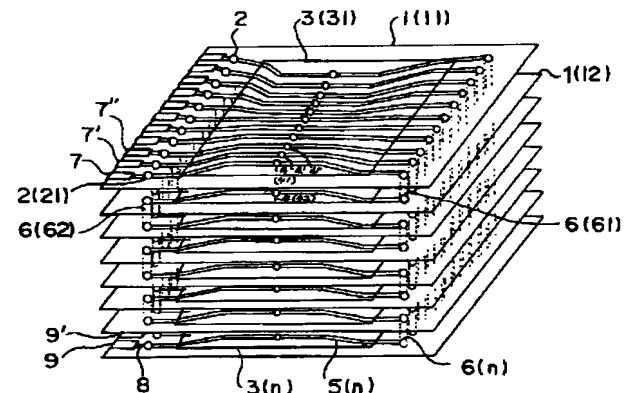
弁理士 竹村 壽

## (54) 【発明の名称】 半導体装置

## (57) 【要約】

【課題】 分岐配線間の配線が垂直方向になって極端に短くなっても分岐配線による反射の影響でチャンネル部分の信号波形が乱れず高速動作が実現できる積層された複数の半導体パッケージを有する半導体装置を提供する。

【解決手段】 半導体装置は、積層された複数の薄型半導体パッケージ1と、パッケージ1に信号を供給する配線とを有している。前記配線は、入出力端子7間をパッケージ1の所定の外部接続端子21を経て電氣的に積層方向に接続する主配線6と、パッケージ1の前記所定の外部接続端子2から半導体素子3を経てパッケージ1の他の外部接続端子2に電氣的に接続するように配線された分岐配線5とから構成され、前記分岐配線は、この分岐配線部分のインピーダンス不整合による反射を防止するように、前記半導体パッケージの前記所定の外部接続端子から前記半導体素子に形成された接続電極までの配線部分とこの接続電極から前記他の外部接続端子までの配線部分とは実質的に等しい長さに配置さる。



## 【特許請求の範囲】

【請求項 1】 積層された複数の薄型半導体パッケージと、前記積層された複数の薄型半導体パッケージに信号を供給する配線とを具備し、前記半導体パッケージは、それぞれ対向する 2 つの側面近傍に形成された複数列の外部接続端子列を備え、前記配線は、半導体装置の入出力端子間を前記半導体パッケージの所定の外部接続端子を経て電気的に積層方向に接続する主配線と前記半導体パッケージの前記所定の外部接続端子から半導体素子を経て前記半導体素子の接続電極に電気的に接続するように配線された分岐配線とから構成され、前記分岐配線は、この分岐配線部分のインピーダンス不整合による反射を防止するように、前記半導体パッケージの前記所定の外部接続端子から前記半導体素子に形成された接続電極までの配線部分とこの接続電極から前記他の外部接続端子までの配線部分とが実質的に等しい長さに形成されていることを特徴とする半導体装置。

【請求項 2】 積層された複数の薄型半導体パッケージと、前記積層された複数の薄型半導体パッケージに信号を供給する配線とを具備し、前記半導体パッケージは、それぞれ対向する 2 つの側面近傍に形成された複数列の外部接続端子列を備え、前記配線は、半導体装置の入出力端子間を前記半導体パッケージの所定の外部接続端子を経て積層方向に電気的に接続する主配線と、各半導体パッケージの前記外部接続端子から各半導体素子に電気的に接続するように配線された分岐配線とから構成され、前記分岐配線は、前記半導体パッケージの内の第 1 の半導体パッケージに属する第 1 の外部接続端子からこの第 1 の外部接続端子とこの第 1 の半導体パッケージを隔てて対向した位置に配置された第 2 の外部接続端子までこの第 1 の半導体素子の接続電極を介して配線された第 1 の分岐配線を有し、前記主配線は、前記第 1 の半導体パッケージの前記第 2 の外部接続端子から積層方向に隣接する第 2 の半導体パッケージの第 2 の外部接続端子まで配置形成された第 1 の主配線を有し、また、前記分岐配線は、前記第 2 の半導体パッケージの第 2 の外部接続端子から第 2 の半導体素子を隔てて対向した位置に配置された第 1 の外部接続端子まで前記第 2 の半導体素子の接続電極を介して配置形成された第 2 の分岐配線を有し、また、前記主配線は、前記第 2 の半導体パッケージの第 1 の外部接続端子から積層方向に隣接する第 3 の半導体パッケージの第 1 の外部接続端子まで配置形成された第 2 の主配線を有することを特徴とする半導体装置。

【請求項 3】 積層された複数の薄型半導体パッケージと、前記積層された複数の薄型半導体パッケージに信号を供給する配線とを具備し、前記半導体パッケージは、それぞれ対向する 2 つの側面近傍に形成された複数列の外部接続端子列を備え、前記配線は、半導体装置の入出力端子間を前記半導体パッケージの所定の外部接続端子を経て積層方向に電気的に接続する主配線と、各半導体

パッケージの前記外部接続端子から各半導体素子に電気的に接続するように配線された分岐配線とから構成され、前記分岐配線は、前記半導体パッケージの内の第 1 の半導体パッケージに属する前記第 1 の外部接続端子からこの第 1 の外部接続端子と隣接した位置に配置された前記第 1 の半導体パッケージの第 2 の外部接続端子までこの第 1 の半導体素子の接続電極を介して配線された第 1 の分岐配線を有し、前記主配線は、前記第 1 の半導体パッケージの前記第 2 の外部接続端子から積層方向に隣接する第 2 の半導体パッケージの第 2 の外部接続端子まで配置された第 1 の主配線を有し、また、前記分岐配線は、前記第 2 の半導体パッケージの第 2 の外部接続端子からこの第 2 の外部接続端子と隣接した位置に配置された前記第 2 の半導体パッケージの第 1 の外部接続端子まで前記第 2 の半導体素子の接続電極を介して配置形成された第 2 の分岐配線を有し、また、前記主配線は、前記第 2 の半導体パッケージの第 1 の外部接続端子から積層方向に隣接する第 3 の半導体パッケージの第 1 の外部接続端子まで配置形成された第 2 の主配線を有することを特徴とする半導体装置。

【請求項 4】 前記複数の薄型半導体パッケージは、最上層がメモリコントロール用半導体又はクロックジェネレータ用半導体であり、その他の層がメモリであることを特徴とする請求項 2 又は請求項 3 に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数のメモリ素子などの半導体素子（半導体チップ）を基板上に実装したメモリモジュールなどの半導体装置に関し、とくに薄型の半導体パッケージを積層実装して小型化したメモリモジュールを高速で動作させるための配線構造に関するものである。

## 【0002】

【従来の技術】従来の半導体装置である高速動作メモリモジュールの一例として RIMM モジュール（図 5）とその配線図（図 6）を示す。マザーボード 100 に搭載されたメモリコントローラ 101 からラムバスチャネル 102 と呼ばれるインピーダンス 28Ω にコントロールされた配線が、コネクタ 103 を介して RIMM モジュール 104 に入る。RIMM モジュールは、複数個用いられており、最後の RIMM モジュール 104 を経て終端部まで一本のラインが形成されている。また、モジュール内ではこのチャネルから分岐して、CSP タイプのパッケージで構成される各メモリ素子の同じ端子に接続されている。同様にマザーボード 100 に搭載されたクロックジェネレータ 105 は、インピーダンス 28Ω にコントロールされたクロック配線 106 から 400MHz のクロック波を供給し、800MHz でのデータ転送レートを実現している。このとき各 CSP メモリ素子の

端子への分岐配線は、垂直方向の基板スルーホールとCSPパッケージへの半田ボール接続で行われるため分岐配線の長さは短く抑えられる。また、分岐配線への負荷がチャンネルのインピーダンスに与える影響をチャンネル配線の配線幅などにより補正し、負荷が存在する状態でインピーダンス28Ωにコントロールすることにより、チャンネルの高速信号が配線分岐部のインピーダンス不整合による反射で乱れることを防ぎ高速動作を可能とする。図5及び図7は、Rambus社よりWeb上で公開された文献より引用したものである。

【0003】図7は、この様な高速メモリモジュールの半導体パッケージが非常に薄型になった場合に、従来のように基板上に半導体パッケージを平面的に配置する構造から薄型の半導体パッケージを積層して小型化する場合の構造を示したものである。この図に示す積層構造の半導体装置は、配線基板に半導体パッケージを搭載しこれらを複数層積層一体化してなるものである。薄型の配線基板からなるパッケージ121は、半導体素子123の外部接続端子122の列を半導体素子123の両側辺の近傍に具備している。複数個のパッケージ121がほぼ横方向のズレが無い形で縦方向に積み重ねられている。各半導体素子123は、厚さが0.05～0.1mmの薄いシリコンチップからなる。半導体素子123は、内部回路と電気的に接続された複数の電極124を有し、電極124とパッケージ121の外部接続端子122とを結ぶ配線125が半導体素子123の表面に形成されている。また、高速メモリモジュール全体の構造として、積層され一体化された各パッケージ121の外部接続端子122同士を縦方向に結線する配線126が形成されている。また、高速メモリモジュールには外部電極127と、パッケージ121の外部接続端子122とこの外部電極127とを結ぶ配線128が形成されている。

#### 【0004】

【発明が解決しようとする課題】この従来の高速動作メモリモジュールであるRIMMモジュールの高密度化を計るためにこれを単に積層型にした図7の問題は、高速信号用のチャンネルの配線長さが平面的に配置した非積層構造のRIMMモジュールの場合に比べて異なってくる点にある。このため、チャンネル配線のインピーダンスコントロールが難しくなっている。つまり、チャンネルから分岐する配線125が長くなる一方、分岐間の配線126が垂直方向になって極端に短くなってしまうので、分岐配線による反射の影響でチャンネル部分の信号波形が乱れてしまう。このため高速動作を実現できなくなる。本発明は、このような事情によりなされたものであり、分岐配線間の配線が垂直方向になって極端に短くなくとも分岐配線による反射の影響でチャンネル部分の信号波形が乱れず高速動作が実現できる積層された複数の半導体パッケージを有する半導体装置を提供する。

#### 【0005】

【課題を解決するための手段】本発明は、半導体装置において、積層された複数の薄型半導体パッケージと、前記積層された複数の薄型半導体パッケージに信号を供給する配線とを具備し、前記半導体パッケージは、それぞれ対向する2つの側面近傍に形成された複数列の外部接続端子列を備え、前記配線は、半導体装置の入出力端子間を前記半導体パッケージの所定の外部接続端子を経て電気的に積層方向に接続する主配線と、前記半導体パッケージの前記所定の外部接続端子から半導体素子を経て前記半導体パッケージの他の外部接続端子に電気的に接続するように配線された分岐配線とから構成され、前記分岐配線は、この分岐配線部分のインピーダンス不整合による反射を防止するように、前記半導体パッケージの前記所定の外部接続端子から前記半導体素子に形成された接続電極までの配線部分とこの接続電極から前記他の外部接続端子までの配線部分とは実質的に等しい長さに配置形成されていることを特徴としている。

【0006】本発明は、薄型の半導体パッケージを積層して半導体装置を構成するのでシステムの小型化が可能となる。また、高速信号用のチャンネル分岐する配線の長さが短くなり、分岐間の配線が垂直方向だけで極端に短くなってしまうことが避けられるので、分岐間の配線が垂直及び水平方向の配線により適度な長さを保つことができるようになり、且つ分岐配線による反射の影響によりチャンネル部分の信号波形が乱れてしまうのを防止できるので積層型半導体装置の高速動作が可能となる。この様な半導体モジュールにおいて、半導体素子の負荷がほぼ一定の配線長毎に加わるようにしなければならぬ。この場合のほぼ一定の配線長の許容範囲は、±10%以内であることが望ましい。その理由は、負荷となる半導体素子入力容量のばらつき許容範囲が±10%であり、配線長のばらつきも同様に容量のばらつきとして寄与することから、両者は、同等の許容範囲とすることが望ましいことによる。また、メモリモジュールにおいてはメモリコントローラ用半導体素子又はクロックジェネレータ用半導体素子についてもメモリモジュールとして一体化することにより、マザーボードやソケットの信号電送特性のコントロールが不要になり、高速動作に対してさらに有利となる。

【0007】即ち、本発明の半導体装置は、積層された複数の薄型半導体パッケージと、前記積層された複数の薄型半導体パッケージに信号を供給する配線とを具備し、前記半導体パッケージは、それぞれ対向する2つの側面近傍に形成された複数列の外部接続端子列を備え、前記配線は、半導体装置の入出力端子間を前記半導体パッケージの所定の外部接続端子を経て電気的に積層方向に接続する主配線と、前記半導体パッケージの前記所定の外部接続端子から半導体素子を経て前記半導体パッケージの他の外部接続端子に電気的に接続するように配線

された分岐配線とから構成され、前記分岐配線は、この分岐配線部分のインピーダンス不整合による反射を防止するように、前記半導体パッケージの前記所定の外部接続端子から前記半導体素子に形成された接続電極までの配線部分とこの接続電極から前記他の外部接続端子までの配線部分とは実質的に等しい長さに配置形成されていることを第1の特徴としている。

【0008】また、本発明の半導体装置は、積層された複数の薄型半導体パッケージと、前記積層された複数の薄型半導体パッケージに信号を供給する配線とを具備し、前記半導体パッケージは、それぞれ対向する2つの側面近傍に形成された複数列の外部接続端子列を備え、前記配線は、半導体装置の入出力端子間を前記半導体パッケージの所定の外部接続端子を経て積層方向に電気的に接続する主配線と、各半導体パッケージの前記外部接続端子から前記各半導体素子に電気的に接続するように配線された分岐配線とから構成され、前記分岐配線は、前記半導体パッケージの内の第1の半導体パッケージに属する第1の外部接続端子からこの第1の外部接続端子とこの第1の半導体パッケージを隔てて対向した位置に配置された第2の外部接続端子までこの第1の半導体素子の接続電極を介して配線された第1の分岐配線を有し、前記主配線は、前記第1の半導体パッケージの前記第2の外部接続端子から積層方向に隣接する第2の半導体パッケージの第2の外部接続端子まで配置形成された第1の主配線を有し、また、前記分岐配線は、前記第2の半導体パッケージの第2の外部接続端子から前記第2の半導体素子を隔てて対向した位置に配置された第1の外部接続端子まで前記第2の半導体素子の接続電極を介して配置形成された第2の分岐配線を有し、また、前記主配線は、前記第2の半導体パッケージの第1の外部接続端子から積層方向に隣接する第3の半導体パッケージの第1の外部接続端子まで配置形成された第2の主配線を有することを第2の特徴としている。

【0009】また、本発明の半導体装置は、積層された複数の薄型半導体パッケージと、前記積層された複数の薄型半導体パッケージに信号を供給する配線とを具備し、前記半導体パッケージは、それぞれ対向する2つの側面近傍に形成された複数列の外部接続端子列を備え、前記配線は、半導体装置の入出力端子間を前記半導体パッケージの所定の外部接続端子を経て積層方向に電気的に接続する主配線と、各半導体パッケージの前記外部接続端子から各半導体素子に電気的に接続するように配線された分岐配線とから構成され、前記分岐配線は、前記半導体パッケージの内の第1の半導体パッケージに属する前記第1の外部接続端子からこの第1の外部接続端子と隣接した位置に配置された前記第1の半導体パッケージの第2の外部接続端子までこの第1の半導体素子の接続電極を介して配線された第1の分岐配線を有し、前記主配線は、前記第1の半導体パッケージの前記第2の外

部接続端子から積層方向に隣接する第2の半導体パッケージの第2の外部接続端子まで配置された第1の主配線を有し、また、前記分岐配線は、前記第2の半導体パッケージの第2の外部接続端子からこの第2の外部接続端子と隣接した位置に配置された前記第2の半導体パッケージの第1の外部接続端子まで前記第2の半導体素子の接続電極を介して配置形成された第2の分岐配線を有し、また、前記主配線は、前記第2の半導体パッケージの第1の外部接続端子から積層方向に隣接する第3の半導体パッケージの第1の外部接続端子まで配置形成された第2の主配線を有することを第3の特徴としている。前記積層された複数の薄型半導体パッケージは、最上層がメモリコントロール用半導体又はクロックジェネレータ用半導体であり、その他の層がメモリ素子であるようにしても良い。

#### 【0010】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1を参照して第1の実施例を説明する。図1は、従来のように基板上に半導体パッケージを平面的に配置する構造から薄型の半導体パッケージを積層して小型化する高速メモリモジュールの斜視図である。この実施例の積層構造の半導体装置は、配線基板に半導体素子を搭載しこれらを複数層積層して一体化してなるものである。薄型の配線基板からなるパッケージ1は、外部接続端子2の列を半導体素子3の両側辺の近傍に形成されている。半導体素子3を搭載した複数個のパッケージ1がほぼ横方向のズレが無い形で縦方向に積み重ねられている。各半導体素子3は、厚さが0.05~0.1mmの薄いシリコンチップから構成され、半導体素子3上には、半導体素子3の内部回路と接続されている複数の接続電極4及び所定の接続電極4とこの半導体素子3の2つの外部接続端子2とを結ぶ分岐配線5が形成されている。この場合、分岐配線5は、1つの接続電極4に対して、半導体素子3の両側の外部接続端子2へ2本接続されている。

【0011】また、メモリモジュール全体の構造として、積層された各半導体素子3の外部接続端子2同士を縦方向に結線する主配線6が形成されている。さらに、メモリモジュールの外部電極7と、外部接続端子2と前記メモリモジュールの外部電極7を結ぶ配線8が形成されている。さらに1つのメモリモジュールの外部電極7から全ての半導体素子3の同じ機能を持つ接続電極4へ分岐接続され、別のモジュール外部電極9へつながる高速信号チャンネルが形成される。この外部電極7、9間に形成された高速信号チャンネルを図1を用いて詳細に説明すると、前記配線は、半導体装置の入出力端子である外部電極7を出て外部電極9に至る主配線6(61, 62, ..., n)主配線と、各半導体パッケージ1の前記外部接続端子2から前記各半導体素子3に電気的に接続するように配線された分岐配線5(51, 52, .

・・・ $n$ )とから構成されている。

【0012】前記分岐配線5は、前記半導体パッケージ1の内の第1の半導体パッケージ11に属する第1の外部接続端子21からこの第1の外部接続端子21とこの第1の半導体パッケージ11を隔てて対向した位置に配置された第2の外部接続端子22まで第1の半導体素子の接続電極41を介して配線された第1の分岐配線51を有し、前記主配線6は、前記第1の半導体パッケージ11の前記第2の外部接続端子22から積層方向に隣接する第2の半導体パッケージ11の第2の外部接続端子まで配置形成された第1の主配線61を有し、また、前記分岐配線5は、前記第2の半導体パッケージ12の第2の外部接続端子から前記第2の半導体素子32を隔てて対向した位置に配置された第1の外部接続端子まで前記第2の半導体素子32の接続電極42を介して配置形成された第2の分岐配線を有する。また、前記主配線6は、前記第2の半導体パッケージ12の第1の外部接続端子から積層方向に隣接する第3の半導体パッケージ13の第1の外部接続端子まで配置形成された第2の主配線62を有している。

【0013】このように、接続電極4から延びる分岐配線5が、半導体パッケージ1の片側の外部接続端子2を次の層の半導体パッケージ1の外部接続端子2へ垂直な主配線6で結線し、次の層の半導体パッケージ1では、半導体パッケージ内の分岐配線5が、半導体パッケージ1の前記片側の外部電極端子2から同じ接続電極4への分岐配線を経て、半導体素子の前記片側と反対側の外部接続端子2へと接続されるようになっている。以上の構成により、積層した1つの層の半導体パッケージから次の層の半導体パッケージへの垂直方向の主配線6が、半導体素子の両側に互い違いに配線されるようになる。このため、高速信号用のチャンネル分岐をする分岐配線の長さが短くなり、分岐間の主配線が垂直方向だけで極端に短くなってしまうことを避け、分岐間の主配線が垂直及び水平方向の配線により適度な長さを保つことができるようになり、分岐配線による反射の影響でチャンネル部分の信号波形が乱れてしまうことを防止できる。以上の高速信号チャンネルは、メモリモジュールの外部電極7、9間に形成されるが、メモリモジュールシステムでは他の外部電極7'、9'間、又は外部電極7''、9''間などに形成される高速信号チャンネルが構成される。

【0014】次に、図2を参照して第2の実施例を説明する。図2は、従来のように基板上に半導体パッケージを平面的に配置する構造から薄型の半導体パッケージを積層して小型化する高速メモリモジュールの斜視図である。この実施例の積層構造の半導体装置は、配線基板に半導体素子を搭載しこれらを複数層積層して一体化してなるものである。薄型の配線基板からなるパッケージ1は、パッケージ1の外部接続端子2の列を半導体素子3の両側辺の近傍に形成されている。半導体素子3を搭載

した複数個のパッケージ1がほぼ横方向のズレが無い形で縦方向に積み重ねられている。各半導体素子3は、厚さが0.05～0.1mmの薄いシリコンチップから構成され、半導体素子3上には、半導体素子3の内部回路と接続されている複数の接続電極4及び所定の接続電極4とこの半導体パッケージ1の2つの外部接続端子2とを結ぶ分岐配線5が形成されている。この場合、分岐配線5は、1つの接続電極4に対して、半導体パッケージ1の同じ側の外部接続端子2へ2本接続されている。また、メモリモジュール全体の構造として、積層された各半導体パッケージ1の外部接続端子2同士を縦方向に結線する主配線6が形成されている。更にメモリモジュールの外部電極7と、外部接続端子2とメモリモジュールの外部電極7を結ぶ配線8が形成されている。さらに、メモリモジュールの1つの外部電極7から全ての半導体素子3の同じ機能を持つ接続電極4へ分岐接続され、別のメモリモジュールの別の外部電極9へつながる高速信号チャンネルが形成される。

【0015】この外部電極7、9間に形成された高速信号チャンネルを図2を用いて詳細に説明すると、前記配線は、半導体装置の入出力端子である外部電極7を出て外部電極9に至る主配線6(61, 62, ・・・,  $n$ )主配線と、各半導体パッケージ1の前記外部接続端子2から前記各半導体素子3に電気的に接続するように配線された分岐配線5(51, 52, ・・・,  $n$ )とから構成されている。前記分岐配線5は、前記半導体パッケージ1の内の第1の半導体パッケージ11に属し、2列ある内一方の外部接続端子列にある第1の外部接続端子21からこの第1の外部接続端子21に隣接した位置に配置された前記第1の半導体パッケージ11の第2の外部接続端子22までこの第1の半導体素子31の接続電極41を介して配線された第1の分岐配線51を有し、前記主配線6は、前記第1の半導体パッケージ11の前記第2の外部接続端子22から積層方向に隣接する第2の半導体パッケージ12の第2の外部接続端子まで配置された第1の主配線61を有している。また、前記分岐配線5は、前記第2の半導体パッケージ12の第2の外部接続端子からこの第2の外部接続端子に隣接した位置に配置された前記第2の半導体パッケージの第1の外部接続端子まで前記第2の半導体素子の接続電極42を介して配置形成された第2の分岐配線52を有し、前記主配線6は、前記第2の半導体パッケージ12の第1の外部接続端子から積層方向に隣接する第3の半導体パッケージ13の第1の外部接続端子まで配置形成された第2の主配線62を備えている。

【0016】このように、接続電極4から延びる分岐配線5が、半導体パッケージ1の片側の外部接続端子2を次の層の半導体パッケージ1の外部接続端子2へ垂直な配線6で結線し、次の層の半導体パッケージ1では、半導体パッケージ1内の分岐配線5が、半導体パッケージ

1 の前記片側の外部電極端子 2 から前記接続電極と同じ機能の対応する接続電極 4 への分岐配線を経て、半導体パッケージ 1 の前記と同じ側の外部接続端子 2 へと接続されるようになっていく。これにより、積層した 1 つの層の半導体パッケージから次の層の半導体パッケージへの垂直方向の主配線が、半導体素子の 1 つの側面に隣接する外部接続端子位置において、互い違いに分けて配線されるようになる。このため、高速信号用のチャンネル分岐をする分岐配線の長さが短くなり、分岐間の主配線が垂直方向だけで極端に短くなってしまいうことを避け、分岐間の主配線が垂直及び水平方向の配線により適度な長さを保つことができるようになり、分岐配線による反射の影響でチャンネル部分の信号波形が乱れてしまいうことを防止できる。以上の高速信号チャンネルは、メモリモジュールの外部電極 7、9 間に形成されるが、メモリモジュールシステムでは他の外部電極間に形成される高速信号チャンネルが構成される。

【0017】次に、図 3 を参照して第 3 の実施例を説明する。図 3 は、従来のように基板上に半導体パッケージを平面的に配置する構造から薄型の半導体パッケージを積層して小型化する高速メモリモジュールの斜視図である。この実施例の積層構造の半導体装置は、配線基板に半導体素子を搭載しこれらを複数層積層し一体化してなるものである。薄型の配線基板からなるパッケージ 1 は、半導体パッケージ 1 の外部接続端子 2 の列を半導体素子 3 の両側辺の近傍に形成されている。半導体素子 3 を搭載した複数個のパッケージ 1 がほぼ横方向のズレが無い形で縦方向に積み重ねられている。各半導体素子 3 は、厚さが 0.05~0.1mm の薄いシリコンチップから構成され、半導体素子 3 上には、半導体素子 3 の内部回路と接続されている複数の接続電極 4 及び所定の接続電極 4 とこの半導体パッケージ 1 の 2 つの外部接続端子 2 とを結ぶ分岐配線 5 が形成されている。従来のメモリモジュールの中には、図 5 にも示されるように、半導体メモリ素子だけしか含まなかった。これは、図 1 及び図 2 も同じである。この実施例ではメモリコントローラ半導体又はクロックジェネレータ半導体についても前記実施例における半導体メモリと同様に薄型化し、積層モジュールの中に組み入れてしまいうことに特徴がある。

【0018】この実施例では、最上層の配線基板 11 に搭載された半導体素子 31 がメモリコントロール用半導体素子又はクロックジェネレータ用半導体素子であり、その他の層の半導体素子がメモリ素子である。例えば、第 1 の半導体パッケージ 11 の第 1 の外部接続端子 21 は、第 1 の半導体素子 31 の接続電極 41 に接続される分岐配線 51 と接続されると共に第 1 の主配線 61 にも接続されている。前記分岐配線 5 は、前記半導体パッケージ 1 の内の第 2 の半導体パッケージ 12 に属する第 1 の外部接続端子 22 からこの第 1 の外部接続端子と隣接した位置に配置された前記第 2 の半導体パッケージ 12

の第 2 の外部接続端子 23 までこの第 2 の半導体素子 32 の接続電極 42 を介して配線された第 1 の分岐配線 52 を有し、前記主配線 6 は、前記第 1 の半導体パッケージ 11 の第 1 の外部接続端子 21 から積層方向に隣接する第 2 の半導体パッケージ 12 の第 1 の外部接続端子 22 まで配置された第 1 の主配線 61 を有し、また、前記分岐配線 5 は、第 3 の半導体パッケージ 13 の第 2 の外部接続端子 24 からこの第 2 の外部接続端子 24 と隣接した位置に配置された前記第 3 の半導体パッケージ 13 の第 1 の外部接続端子 23 まで前記第 3 の半導体素子 33 の接続電極 43 を介して配置形成された第 2 の分岐配線 53 を有し、また、前記主配線 6 は、第 2 の半導体パッケージ 12 の第 1 の外部接続端子 23 から積層方向に隣接する第 3 の半導体パッケージ 13 の第 2 の外部接続端子 24 まで配置形成された第 2 の主配線 62 を備えている。

【0019】以上の構成により、マザーボード上からソケットを経て複数のメモリモジュールに高速信号配線を形成する代わりに、1 つの積層モジュール内に全てを含ませることができるので、マザーボードやソケットの信号電送特性のコントロールが不要になり、さらなる高速の動作に対して有利となる。また、1 つのメモリコントローラに接続できる最大メモリ容量には限界があり、その限界を超えるメモリをマザーボード上に搭載するにはコントローラを複数用意する必要が生じてくる。この場合に、半導体メモリ素子のみを載せたメモリモジュールの積層による小型化では、マザーボード上に必要なソケットとコントローラを準備しなければならず、それらをモジュールとして一体化することでさらに小形化が可能となる。次に、図 4 を参照して図 1 と同様な構造のメモリモジュールの詳細な構造を説明する。図 1 乃至 4 のメモリモジュールは、配線基板及びその上に搭載された半導体素子を模式的に示しているが、この実施例では、とくに図 2 のメモリモジュールを詳細に説明する。図 1 に示す半導体素子 31 を搭載する配線基板 11 は、図 4 では配線基板 15 と導電ビア絶縁板 16 との積層体に相当する。

【0020】図 4 は、パッケージを用いた半導体装置の斜視図である。パッケージは、半導体素子 31 を収容する開口部 17 中央部分に持った導電ビア積層板 16、半導体素子 31 を搭載する配線基板 15、パッケージを密封する上層の配線基板 20 及びモジュールの複数の外部電極 7、9 を有する下層の導電ビア積層板 19 から構成されている。すなわち、パッケージは、上層の配線基板 20 下層の導電ビア積層板 19 の間に導電ビア積層板 16 と配線基板 15 との積層体 11、12、13、・・・が複数層積層され、加熱加圧されて一体に構成されている。半導体素子 31 を搭載する配線基板 15 は、厚さ 40  $\mu$ m 程度の銅箔付きポリイミド基板もしくはプリント積層板などの絶縁板を用いる。絶縁板にはビアに表面に

第1の外部接続端子21が接続された接続電極が埋め込まれている。配線基板15上には配線51が形成され、この配線51は、第1の外部接続端子21と半導体素子31を隔てて対向している第2の外部接続端子22間に形成されている。そして、この配線51は、半導体素子31の接続電極（図示せず）に電気的に接続されている。

【0021】導電ビア絶縁板16は、厚さ75 $\mu$ m程度の銅箔付きポリイミド基板もしくはプリント積層板などの絶縁板を用いる。導電ビア絶縁板にはビアに接続電極が埋め込まれている。導電ビア絶縁基板16の中央部分には半導体素子31を収容する開口部17が形成されている。導電ビア絶縁板16の厚さは、開口部17に半導体素子31が収容される大きさである。このとき導電ビア積層板には接着材18が塗布されているので一体化処理を行うと接着剤18が開口部17に充填されるようになっていく。上層の配線基板20は、配線とランドとを有し、ビアに接続電極が埋め込まれている。接続電極上にはランドが形成されている。下層の導電ビア積層板19は、裏面に外部電極18が形成されている。この実施例の半導体装置は、以上のような構成により、薄い積層型パッケージを有する半導体装置を得ることができる。このメモリモジュールの外部電極7、9間に形成された高速信号チャンネルを説明する。前記配線は、半導体装置の入出力端子である外部電極7を出て外部電極9に至る主配線、半導体パッケージの外部接続端子から半導体素子に電気的に接続するように配線された分岐配線とから構成されている。

【0022】前記分岐配線51は、前記半導体素子の内の第1の半導体パッケージ11に属する第1の外部接続端子21からこの第1の外部接続端子21とこの第1の半導体素子31を隔てて対向した位置に配置された第2の外部接続端子22まで第1の半導体素子31の接続電極を介して配線されている。主配線61は、第1の半導体パッケージ11の第2の外部接続端子22から積層方向に隣接する第2の半導体パッケージ12の第2の外部接続端子23まで配置形成されている。分岐配線52は、前記第2の半導体パッケージ12の第2の外部接続端子23から第2の半導体パッケージ12を隔てて対向した位置に配置された第1の外部接続端子24まで第2の半導体素子32の接続電極を介して配置形成されている。また、主配線62は、第2の半導体パッケージ12の第1の外部接続端子24から積層方向に隣接する第3の半導体パッケージ13の第1の外部接続端子まで配置形成されてなる。このように、接続電極から延びる分岐配線が、半導体パッケージの片側の外部接続端子を次の層の半導体パッケージの外部接続端子へ垂直な主配線で結線し、次の層の半導体パッケージでは、半導体パッケージ内の分岐配線が、半導体パッケージの前記片側の外

部電極端子から同じ接続電極への分岐配線を経て、半導体パッケージの前記片側と反対側の外部接続端子2へと接続される。

【0023】以上の構成により、積層した1つの層の半導体パッケージから次の層の半導体パッケージへの垂直方向の主配線が、半導体素子の両側に互い違いに配線されるようになるこのため、高速信号用のチャンネル分岐をする分岐配線の長さが短くなり、分岐間の主配線が垂直方向だけで極端に短くなってしまいうことを避け、分岐間の主配線が垂直及び水平方向の配線により適度な長さを保つことができるようになり、分岐配線による反射の影響でチャンネル部分の信号波形が乱れてしまうことを防止できる。

#### 【0024】

【発明の効果】本発明は、以上のように、薄型の半導体パッケージを積層してメモリモジュールを構成することによりシステムの小型化が可能となる。高速信号用のチャンネル分岐する配線の長さが短くなり、分岐間の配線が垂直方向だけで極端に短くなってしまいうことを避けことができ、その結果、分岐間の配線が垂直及び水平方向の配線により適度な長さを保つことができるようになり、分岐配線による反射の影響でチャンネル部分の信号波形が乱れてしまうことを防止でき、積層型メモリモジュールの高速動作が可能となる。メモリコントローラ半導体パッケージ（IC）又はクロックジェネレータ半導体パッケージ（IC）についてもメモリモジュールとして一体化することにより、マザーボードやソケットの信号電送特性のコントロールが不要になり、高速動作に対してさらに有利となる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の斜視図。

【図2】本発明の第2の実施例の半導体装置の斜視図。

【図3】本発明の第3の実施例の半導体装置の斜視図。

【図4】本発明の半導体装置の断面図。

【図5】従来の半導体装置の斜視図。

【図6】図5の半導体装置の回路図。

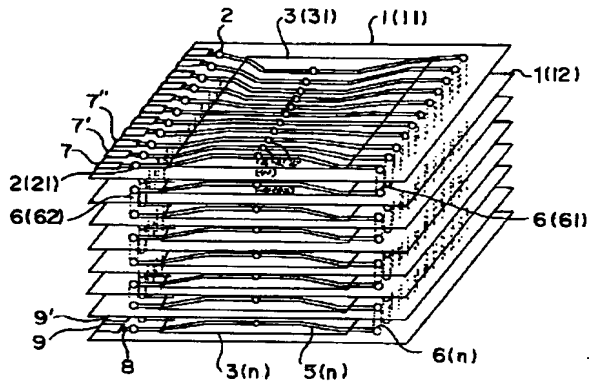
【図7】従来の半導体装置の斜視図。

#### 【符号の説明】

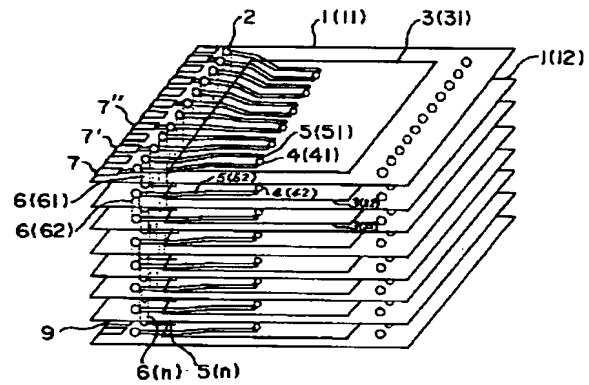
1、11、12、121・・・配線基板（パッケージ）、2、21、22、23、24、122・・・外部接続端子、3、31、32、33、123・・・半導体素子、4、4'、4''、41、42、124・・・半導体素子の接続電極、5、51、52、125・・・分岐配線、6、61、62、126・・・主配線、7、7'、7''、9、127・・・外部電極、8、128・・・配線、101・・・メモリコントローラ、102・・・ラムバスチャネル、103・・・コネクタ、104・・・RIMMモジュール、105・・・クロックジェネレータ。



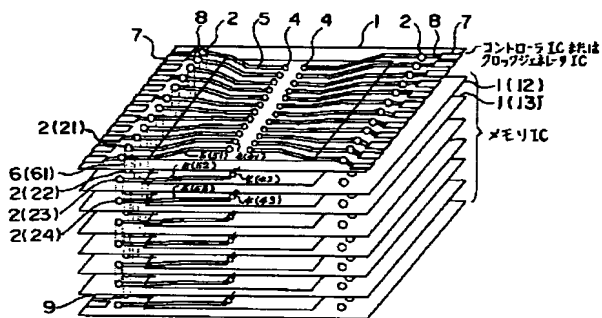
【図1】



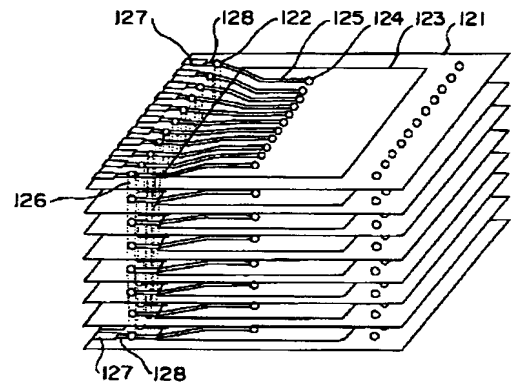
【図2】



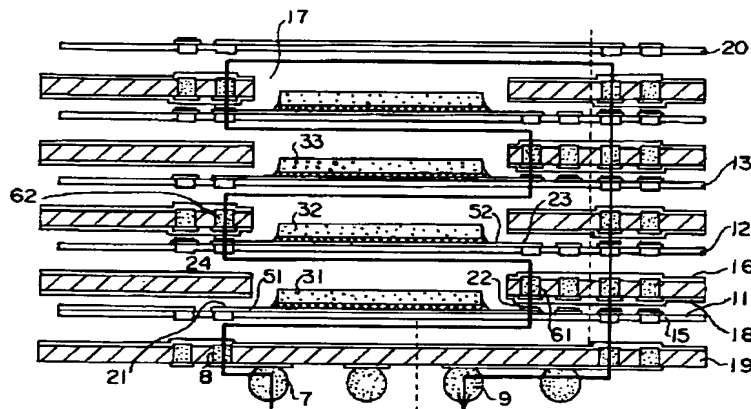
【図3】



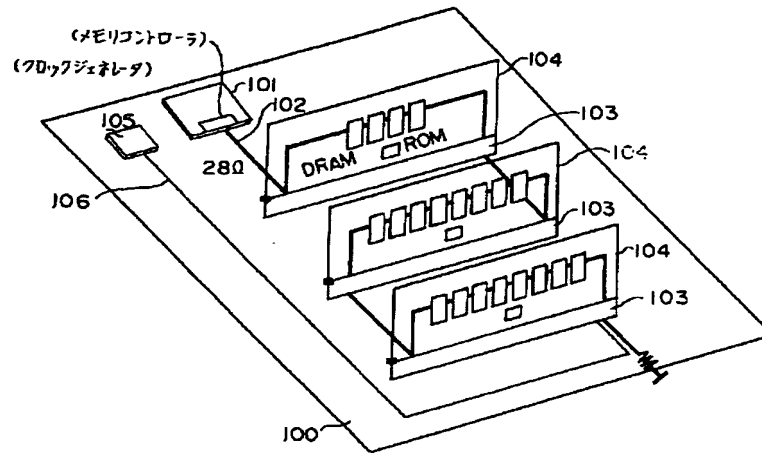
【図7】



【図4】



【図5】



【図6】

